

DESCRIPTIF DE THESE

Sujet/Contexte technique

English

Innovative radhard design solutions for low power automotive/medical applications.

Français

Recherche de solutions de conception robustes aux radiations innovantes pour les applications faible consommation et médicales.

De longue date l'effet des radiations ionisantes sur les dispositifs des circuits intégrés a été l'objet d'étude dans les domaines militaires et spatiaux.

Les charges et particules qu'elles créent sur leur parcours peuvent déclencher des phénomènes de nature à altérer le comportement des circuits, soit de manière permanente :

- latch-up
- dérive dans le temps des caractéristiques de réponse en courant/tension (dose)

Soit de manière limitée dans le temps (Soft Error) :

- basculement de cellule binaire élémentaire (bit flip)
- impulsion parasite.

Dans le cas des impulsions parasites, bien que de cette préoccupation existe, les solutions industrielles pour les détecter et s'en prémunir manquent, lorsqu'elles se produisent sur l'horloge, la ligne de reset [IRPS2010] ou pendant la fenêtre d'échantillonnage des éléments de mémorisation séquentiels ces impulsions sont considérées comme critiques.

Deux tendances se dégagent dans l'industrie du semi-conducteur, d'une part, les attentes en terme de fiabilité croissent et dépassent les seuls marchés militaires et spatiaux, les applications médicales, grand public réseau ou processeur [POWER7], automobiles sont concernées. D'autre part les évolutions technologiques modifient les sensibilités des circuits et les normes de qualification radiative. [ROCHE IEEE C65] [ICICDT normalisation].

Les solutions existantes sont basées sur la redondance ou la triplification, temporelle ou spatiale, elles sont mises en œuvre soit dans les cellules élémentaires des circuits soit à l'échelle d'un circuit ou système. Le coût associé en surface et consommation est un facteur limitant pour l'adoption de telles techniques dans certaines applications. Dans d'autre cas c'est la perte de vitesse induite par la redondance qui contraint les systèmes intégrés.

A titre illustratif, les bascules robustes reportées dans les publications [DICE] sont deux fois plus grandes, consomment deux fois plus et sont 40% plus lentes que leurs homologues non robustes.

L'adoption de solutions robustes aux radiations de manière plus systématique est freinée notamment par ces surcoûts associés ; aggravés par leur utilisation systématique par les outils automatique (approche de type glouton).

Objectifs

Dans ce contexte technique, la thèse proposée a pour objectif d'identifier des solutions innovantes pour dépasser cette contradiction entre robustesse et faible consommation ou haute vitesse et identifier des solutions industrielles pour détecter et corriger les effets des impulsions parasites.

Plusieurs leviers de conception devront être actionnés, soit au niveau des cellules, soit au niveau d'abstraction supérieur, en configurant les outils de Conception Assistée par Ordinateur (CAO).

A l'échelle des cellules élémentaires le champ d'investigation est le suivant :

- cellules élémentaires digitale combinatoires
- cellules élémentaires digitales séquentielles (en particulier travailler à l'industrialisation d'une alternative à la cellule DICE, à pénalité de délais nulle et à coût de surface et consommation de l'ordre de 50%)
- mémoires robustes basée sur un point mémoire DICE ou autre.

Les outils de CAO sont utilisés conjointement suivant une séquence appelée 'flot de placement routage et vérification' qu'il conviendra d'adapter, pour mettre en œuvre les cellules ci-dessus à l'échelle d'un circuit, de manière :

- sélective pour limiter le coût en consommation ou surface
- redondante ; déportée au niveau système (arbre d'horloge, insertion de filtre)

Méthodes et moyens

Les méthodes et moyens mis à disposition seront ceux disponibles dans le cours de l'activité du laboratoire d'accueil ou du groupe de conception du service CCDS de STMicroelectronics Crolles.

- étude des solutions existantes en interne, chez les partenaires et concurrents de STMicroelectronics, et dans la communauté scientifique (bibliographie).
- mise à disposition et apprentissage des outils et des flots de conception disponibles dans l'entreprise (simulation niveau transistor, assemblage, génération d'instances mémoire automatique à partir de l'offre existante, vérification de masques)
- participation aux travaux de l'équipe en charge au sein du service de la conception des mémoires.
- travail de collaboration avec le laboratoire d'accueil, effort coordonné éventuel avec d'autres établissements

Phases de la thèse

Familiarisation et bibliographie

L'accent est mis sur la nécessité de l'adéquation des propositions et les contraintes industrielles d'intégration dans un environnement de placement routage, de simplicité de génération et de synchronisation des signaux et des alimentations.

Pour ce faire et afin d'assurer également une proximité méthodologique avec l'équipe en charge au sein de STMicroelectronics, une période d'apprentissage pratique est prévue :

- Etude des solutions existantes (bibliographie), étude et synthèse de l'offre rad-hard existante dans le portefeuille de STMicroelectronics.
- Apprentissage des méthodes de conception en vigueur dans l'équipe en charge et mise en œuvre pratique par la participation à la conception de cellules élémentaires et de circuits digitaux en technologie CMOS 55nm, 40nm ou 32nm suivant les projets.

Etude et validation des propositions

- Etude et conception des cellules élémentaires tels que détaillé dans les objectifs
- assemblage dans des structures de test, spécification de test et caractérisation physiques nécessaires, synthèse des résultats. Cette étape pourra être réitérée dans le temps en fonction des enseignements des premiers essais, de l'évolution de la technologie et du temps disponible.
- adaptation des flots de CAO et mise en œuvre soit dans l'assemblage des structures de test ci-dessus soit dans le cadre d'un circuit de démonstration plus large du type processeur de taille modeste (#50k gates).
- rédaction de l'étude des propositions et de leurs résultats

Elements de Bibliographie

- P. ROCHE et al, “A Commercial 65nm CMOS Technology for Space Applications: Heavy Ion, Proton and Gamma Test”, RADECS 2009
- IRPS 2010 short course
- Dan Krueger et al, “Circuit Design for Voltage Scaling and SER Immunity on a Quad-Core Itanium® Processor”, IEEE ISSCC 2008
- K.M. Warren et al, “Heavy Ion Testing and Single Event Upset Rate Prediction Considerations for a DICE FlipFlop”, IEEE TNS, VOL. 56, NO. 6, DECEMBER 2009.
- J Warnock et al , “POWER7 Local Clocking and Clocked Storage Elements”, ISSCC 2010.
- Larry Wissel et al, “Flip-Flop Upsets From Single-Event-Transients in 65 nm Clock Circuits” IEEE TNS VOL 56, No 6 December 2009.
- E Ibe, “Novel SER Standards: Backgrounds and Methodologies”, ICICDT 2010.

Exemple de circuit de qualification rad-hard en CMOS 65nm

Le circuit ci-dessus a été conçu dans l'objectif de caractériser la robustesse aux radiations de différentes architectures de cellules en technologie CMOS 65nm, il contient 560 kbits de FF, 400kbits de mémoire

