



Entreprises,

- Nom de l'entreprise : STMicroelectronics SA
- Ville et code postal : Crolles 38926
- Nom du laboratoire académique partenaire (si déjà connu): Laboratoire TIMA
- Numéro de reconnaissance du laboratoire :
- Descriptif de la thématique de recherche (*sans aucun caractère confidentiel*) :

Etude des types de défauts dans les mémoires pour optimiser les algorithmes de test et améliorer les capacités de diagnostique dans les nouvelles technologies.

1 - Contexte Actuel :

De plus en plus de mémoires sont embarquées dans les systèmes sur puce de dernière génération. Ces-dernières sont très sujettes aux défauts de fabrication dont le nombre, la diversité et la probabilité d'occurrence ne cesse d'augmenter lorsque les technologies de pointes sont utilisées. L'amélioration de la séquence de test des mémoires pour assurer la détection de ces types de fautes est donc un point clé pour garantir le respect des contraintes qualité.

Le nombre d'algorithmes de test nécessaire ne cessant de croître, la réduction du temps de test pour réduire son coût associé est donc un aspect crucial pour accroître notre compétitivité.

Enfin le but final n'est pas uniquement de garantir une couverture de faute optimale mais également d'identifier précisément la cause de ces défauts. Cette capacité permet en effet d'améliorer le rendement pour une technologie donnée. Pour que ce procédé soit le plus efficace possible le but est de perfectionner notre capacité de diagnostique. En effet une analyse précise des données de diagnostique fournies par le circuit d'autotest des mémoires pourrait fournir une identification exacte du type de défaut et par conséquent une localisation précise de sa position sur le silicium.

2 - Présentation du Sujet:

Le but de cette thèse est donc de procéder dans un premier temps à une analyse précise de la littérature pour obtenir une liste complète des défauts connus actuellement et des algorithmes permettant leur détection.

Une fois cette étude réalisée, l'objectif est de développer un modèle théorique permettant non seulement la prise en compte de ces fautes mais également des algorithmes et des conditions de stress possibles afin de pouvoir obtenir une véritable métrique de couverture de test des mémoires.

Afin de valider cette métrique les résultats seront confrontés à de véritables données silicium. Ces-dernières permettront également d'obtenir des données statistiques sur l'occurrence des défauts afin d'affiner la précision de notre métrique.

Ce modèle pourra alors être utilisé afin d'optimiser nos algorithmes. En effet une optimisation du nombre d'opérations à effectuer par adresse sera possible car nous pourrons facilement évaluer n'importe quel algorithme et obtenir une véritable garantie sur son efficacité.

Pour finir il est également possible d'intégrer ce modèle dans notre outil de diagnostique afin d'obtenir pour chaque adresse défailante le type d'erreur le plus probable. Cette information permettra de localiser plus précisément le défaut sur le silicium afin d'augmenter le pourcentage d'analyse de défaillances sur silicium concluantes.

- Date de recrutement : octobre 2010

- Adresse e-mail à laquelle le candidat doit envoyer sa candidature :

eric.faehn@st.com